

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-162279

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

H01L 21/768

(21)Application number : 07-321467

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.12.1995

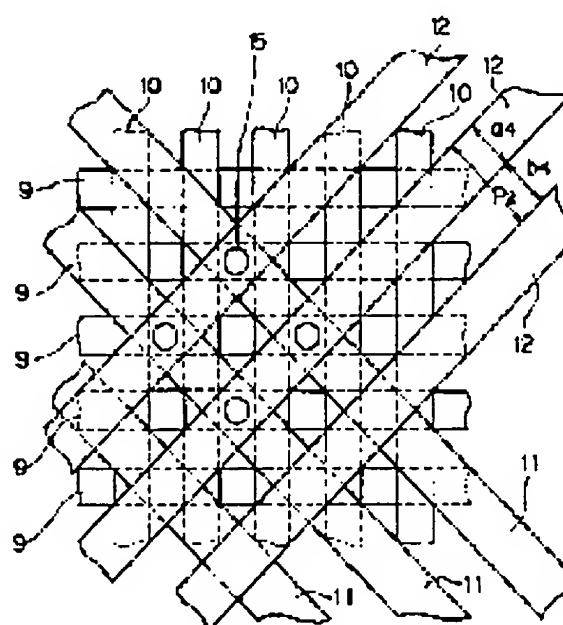
(72)Inventor : YOSHIDA MASAOKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique for manufacturing a semiconductor integrated circuit device which is high in performance and capable of being easily manufactured.

SOLUTION: A semiconductor integrated circuit device is equipped with a first wiring layer 9 and a second wiring layer 10 which cross each other at right angles and a third wiring layer 11 and a fourth wiring layer 12 which intersect each other at right angles. At this point, the wiring layers 9 and 10 are equal to each other in wiring pitch, and the wiring layers 11 and 12 are equal to each other in wiring pitch, and the wiring pitch of the wiring layers 11 and 12 is $2\frac{1}{2}$ times as large as that of the wiring layers 9 and 10.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成9年(1997)6月20日

技術表示箇所

W

(74)代理人 弁理士 筒井 大和

9 : 配鏡層 11 : 配線層
10 : 配鏡層 12 : 配線層

【特許請求の範囲】

【請求項1】 半導体集積回路装置の配線層において、1層目の配線層と2層目の配線層とは直交しており、3層目の配線層と4層目の配線層とは直交しており、前記3層目の配線層は前記2層目の配線層に対し約45度の傾斜角度をもって配置されていることを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、1層目の配線層の配線ピッチと2層目の配線層の配線ピッチとは等しく、3層目の配線層の配線ピッチと4層目の配線層の配線ピッチとは等しく、前記3層目の配線層および前記4層目の配線層の配線ピッチは、前記1層目の配線層および前記2層目の配線層の配線ピッチの $2^{1/2}$ 倍であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置において、3層目の複数の配線層および4層目の複数の配線層の中心線は、1層目の複数の配線層の中心線と2層目の複数の配線層の中心線との各交差点における隣接する交差点の中間点を通っていることを特徴とする半導体集積回路装置。

【請求項4】 請求項1～3のいずれか1項に記載の半導体集積回路装置において、前記2層目の配線層、前記3層目の配線層および前記4層目の配線層とそれらの下層の配線層との間に設けられている接続孔用配線層は、柱形状のピラーであることを特徴とする半導体集積回路装置。

【請求項5】 複数の半導体素子が形成されている基体の上に1層目の配線層を形成する工程と、前記1層目の配線層の上に層間絶縁膜を介して2層目の配線層を前記1層目の配線層に対し直交するように配置して形成する工程と、前記2層目の配線層の上に層間絶縁膜を介して3層目の配線層を前記2層目の配線層に対し傾斜角度が45度となるように配置して形成する工程と、前記3層目の配線層の上に層間絶縁膜を介して4層目の配線層を前記3層目の配線層に対し直交するように配置して形成する工程とを有する半導体集積回路装置の製造方法。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法において、1層目の配線層の配線ピッチと2層目の配線層の配線ピッチとは等しく、3層目の配線層の配線ピッチと4層目の配線層の配線ピッチとは等しく、前記3層目の配線層および前記4層目の配線層の配線ピッチは、前記1層目の配線層および前記2層目の配線層の配線ピッチの $2^{1/2}$ 倍であることを特徴とする半導体集積回路装置の製造方法。

【請求項7】 請求項5または6記載の半導体集積回路装置の製造方法において、3層目の複数の配線層および4層目の複数の配線層の中心線は、1層目の複数の配線

層の中心線と2層目の複数の配線層の中心線との各交差点における隣接する交差点の中間点を通っていることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項5～7のいずれか1項に記載の半導体集積回路装置の製造方法において、前記3層目の配線層または前記4層目の配線層は、前記1層目の配線層または前記2層目の配線層に対し部分的に配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 請求項5～8のいずれか1項に記載の半導体集積回路装置の製造方法において、前記1層目の配線層から前記4層目の配線層のレイアウトを行う際に、自動配線法を使用していることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関する。

【0002】

【従来の技術】半導体集積回路装置は、高集積化と微細加工化が推進されており、それに伴い配線構造も微細となり、高密度の配線構造が要求されてきている。

【0003】ところで、本発明者は、半導体集積回路装置の製造技術について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

【0004】すなわち、半導体集積回路装置の配線層としては、多層配線構造が採用されており、下層配線層と上層配線層とが層間絶縁膜の選択的な領域の接続孔（スルーホール）を通して電気接続されている。

【0005】この場合、例えばマクロセルとマクロセルとの配線などにおいて、CAD（Computer Aided Design）を使用した自動配線法により、下層配線層と上層配線層とを直交するように配置している。

【0006】なお、半導体集積回路装置における配線層の形成技術について記載されている文献としては、例えば平成元年11月2日、（株）プレスジャーナル発行の「'90最新半導体プロセス技術」p267～p273に記載されているものがある。

【0007】

【発明が解決しようとする課題】ところが、前述した下層配線層と上層配線層とを直交するように配置している態様の多層配線構造において、例えば4層などの多層の配線層を積層する場合にそれらの下層配線層と上層配線層とを層間絶縁膜における接続孔を介して電気接続することが複雑になると共に高性能な多層配線層を製作することが困難となっているという問題点が発生している。

【0008】本発明の目的は、高性能でしかも容易に製造できる多層配線層を有する半導体集積回路装置およびその製造技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明の半導体集積回路装置は、直交している1層目の配線層と2層目の配線層および直交している3層目の配線層と4層目の配線層を有し、1層目の配線層の配線ピッチと2層目の配線層の配線ピッチとは等しく、3層目の配線層の配線ピッチと4層目の配線層の配線ピッチとは等しく、3層目の配線層および4層目の配線層の配線ピッチは1層目の配線層および2層目の配線層の配線ピッチの $2^{1/2}$ 倍であるものである。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、重複説明は省略する。

【0013】（実施の形態1）図1は、本発明の一実施の形態である半導体集積回路装置の配線層を示す模式図である。

【0014】同図は、本実施の形態の半導体集積回路装置の配線層の配置をDA（Design Automation）処理する際において、配線層のチャンネルと格子点を図示しているものである。この場合、チャンネルは、配線層の線幅を0としているものであり、配線層の配置可能領域を示すものである。また、格子点は、各チャンネルの交差点を示すものである。

【0015】図1に示すように、本実施の形態の半導体集積回路装置の配線層において、複数の半導体素子が形成されている半導体基板（図示を省略）の上に配置されている1層目の配線層に対応する第1配線層用チャンネル1は、隣接する配線層の間隔が一定の配線ピッチ P_1 となるように横方向に配置されている。

【0016】また、本実施の形態の半導体集積回路装置の配線層において、1層目の配線層の上に層間絶縁膜（図示を省略）を介して配置されている2層目の配線層に対応する第2配線層用チャンネル2は、隣接する配線層の間隔が一定の配線ピッチ P_1 となるように配置されていると共に第1配線層用チャンネル1と直交するように縦方向に配置されている。

【0017】この場合、第1配線層用チャンネル1と第2配線層用チャンネル2との交差点である格子点は、第1格子点5として示している。

【0018】また、本実施の形態の半導体集積回路装置の配線層において、第2配線層用チャンネル2における隣接する第1格子点5の中間点に第2格子点6と第3格子点7とが配置されている。

【0019】この場合、第2格子点6と第3格子点7とは、それぞれが千鳥格子となるように交互に配置されている。

【0020】また、本実施の形態の半導体集積回路装置の配線層において、2層目の配線層の上に層間絶縁膜（図示を省略）を介して配置されている3層目の配線層に対応する第3配線層用チャンネル3は、隣接する配線層の間隔が一定の配線ピッチ P_2 となるように配置されている。また、第3配線層用チャンネル3は、第2配線層用チャンネル2に対し傾斜角度が45度となっていると共に第2格子点6を通るように配置されている。

【0021】この場合、第3配線層用チャンネル3の配線ピッチ P_2 と第1配線層用チャンネル1および第2配線層用チャンネル2の配線ピッチ P_1 との関係は、 $P_2 = 2^{1/2} \times P_1$ となっている。

【0022】また、本実施の形態の半導体集積回路装置の配線層において、第1配線層用チャンネル1における隣接する第1格子点5の中間点に第4格子点8が配置されている。

【0023】また、本実施の形態の半導体集積回路装置の配線層において、3層目の配線層の上に層間絶縁膜（図示を省略）を介して配置されている4層目の配線層に対応する第4配線層用チャンネル4は、隣接する配線層の間隔が一定の配線ピッチ P_2 となるように配置されている。また、第4配線層用チャンネル4は、第3配線層用チャンネル3に対し傾斜角度が45度となっていると共に第4格子点8を通るように配置されている。

【0024】この場合、第4配線層用チャンネル4の配線ピッチ P_2 と第1配線層用チャンネル1および第2配線層用チャンネル2の配線ピッチ P_1 との関係は、 $P_2 = 2^{1/2} \times P_1$ となっている。

【0025】前述した本実施の形態の半導体集積回路装置の配線層において、第2配線層用チャンネル2は、第1配線層用チャンネル1に対し直交している。

【0026】また、第3配線層用チャンネル3は、第1配線層用チャンネル1と第2配線層用チャンネル2に対し傾斜角度が45度をもって配置されている。

【0027】また、第4配線層用チャンネル4は、第3配線層用チャンネル3に対し直交していると共に第1配線層用チャンネル1と第2配線層用チャンネル2に対し傾斜角度が45度をもって配置されている。

【0028】また、第1配線層用チャンネル1と第2配線層用チャンネル2の配線ピッチ P_1 は、等しくなっている。

【0029】また、第3配線層用チャンネル3と第4配線層用チャンネル4の配線ピッチ P_2 は、等しくなっている。

【0030】そして、第3配線層用チャンネル3および第4配線層用チャンネル4の配線ピッチ P_2 と第1配線層用チャンネル1および第2配線層用チャンネル2の配線ピッチ

5

P_1 との関係は、 $P_2 = 2^{1/2} \times P_1$ となっている。

【0031】したがって、前述した本実施の形態の半導体集積回路装置の配線層において、第1配線層用チャネル1と第2配線層用チャネル2とを層間絶縁膜における接続孔を介して電気接続する場合において、第1配線層用チャネル1と第2配線層用チャネル2との交差点である第1格子点5を通して行うことができる。

【0032】また、第2配線層用チャネル2と第3配線層用チャネル3とを層間絶縁膜における接続孔を介して電気接続する場合において、第2配線層用チャネル2と第3配線層用チャネル3との交差点である第2格子点6を通して行うことができる。

【0033】また、第3配線層用チャネル3と第4配線層用チャネル4とを層間絶縁膜における接続孔を介して電気接続する場合において、第3配線層用チャネル3と第4配線層用チャネル4との交差点である第4格子点8を通して行うことができる。

【0034】したがって、前述した本実施の形態の半導体集積回路装置の配線層において、第3配線層用チャネル3および第4配線層用チャネル4のように、第1配線層用チャネル1および第2配線層用チャネル2に対して傾斜している斜め配線層を有する多層配線層を所定の規定に従って配置することができるので、CADを用いた自動配線法によるレイアウト法を使用することができる。

【0035】その結果、自動化された配線レイアウト法を使用できることにより、高効率でしかも高信頼度の配線レイアウトを容易に行うことができる。

【0036】また、前述した本実施の形態の半導体集積回路装置の配線層において、第3配線層用チャネル3および第4配線層用チャネル4のように、第1配線層用チャネル1および第2配線層用チャネル2に対して傾斜している斜め配線層を有する多層配線層を所定の規定に従って配置することができるので、例えばマクロセルとマクロセルとの配線などにおいて、それらの下層配線層と上層配線層とを層間絶縁膜における接続孔を介して電気接続することが簡単化できると共に最短距離をもって各配線層の配置を行うことができることにより、高性能な半導体集積回路装置とすることができる。

【0037】次に、本実施の形態の半導体集積回路装置の配線層の製造方法を説明する。

【0038】図2～図5は、本実施の形態の半導体集積回路装置の配線層を示す概略レイアウト図である。

【0039】本実施の形態の半導体集積回路装置の配線層の製造技術は、CADを用いた自動配線法によるレイアウト法を使用している。

【0040】まず、図2に示すように、複数の半導体素子が形成されている半導体基板（図示を省略）の上に1層目の配線層9を形成する。

【0041】この場合、配線層9は、隣接する配線層9

6

の間隔が一定の配線ピッチ P_1 となるように横方向に形成する。また、配線ピッチ P_1 は、配線層9の配線幅 a_1 と隣接する配線層9の間のスペース幅 b_1 とを加えた距離としている。

【0042】次に、図3に示すように、1層目の配線層9の上に層間絶縁膜（図示を省略）を介して2層目の配線層10を隣接する配線層10の間隔が一定の配線ピッチ P_1 となるように形成すると共に1層目の配線層9と直交するように縦方向に形成する。

【0043】この場合、配線ピッチ P_1 は、配線層10の配線幅 a_2 と隣接する配線層10の間のスペース幅 b_2 とを加えた距離としている。

【0044】また、1層目の配線層9と2層目の配線層10との交差点に第1接続孔13を必要に応じて形成することができる。

【0045】次に、図4に示すように、2層目の配線層10の上に層間絶縁膜（図示を省略）を介して3層目の配線層11を隣接する配線層11の間隔が一定の配線ピッチ P_2 となるように形成する。

【0046】また、3層目の配線層11は、2層目の配線層10に対し傾斜角度が45度となっていると共に前述した第2格子点6を通るように形成する。

【0047】この場合、配線ピッチ P_2 は、配線層11の配線幅 a_3 と隣接する配線層11の間のスペース幅 b_3 とを加えた距離としている。

【0048】また、2層目の配線層10と3層目の配線層11との交差点に第2接続孔14を必要に応じて形成することができる。

【0049】次に、図5に示すように、3層目の配線層11の上に層間絶縁膜（図示を省略）を介して4層目の配線層12を隣接する配線層12の間隔が一定の配線ピッチ P_2 となるように形成すると共に3層目の配線層11と直交するように形成する。

【0050】この場合、配線ピッチ P_2 は、配線層12の配線幅 a_4 と隣接する配線層12の間のスペース幅 b_4 とを加えた距離としている。

【0051】また、3層目の配線層11と4層目の配線層12との交差点に第3接続孔15を必要に応じて形成することができる。

【0052】次に、必要に応じて前述した配線層の製造工程を繰り返し行って多層配線層を形成した後、パシベーション膜（図示を省略）を形成することにより、半導体集積回路装置の製造を終了する。

【0053】前述した本実施の形態の半導体集積回路装置の配線層の製造技術によれば、CADを用いた自動配線法によるレイアウト法を使用して、3層目の配線層11および4層目の配線層12のように、1層目の配線層9および2層目の配線層10に対して傾斜している斜め配線層を有する多層配線層を所定の規定に従って配置することができることにより、自動化された配線レイアウト

ト法を使用して高効率でしかも高信頼度の配線レイアウトを容易に行うことができる。

【0054】また、前述した本実施の形態の半導体集積回路装置の配線層の製造技術によれば、CADを用いた自動配線法によるレイアウト法を使用して、3層目の配線層11および4層目の配線層12のように、1層目の配線層9および2層目の配線層10に対して傾斜している斜め配線層を有する多層配線層を所定の規定に従って配置することができることにより、それらの下層配線層と上層配線層とを層間絶縁膜における接続孔を介して電気接続することが簡単化できると共に最短距離をもって各配線層の配置を行うことができることにより、高性能な半導体集積回路装置を製作することができる。

【0055】(実施の形態2) 図6は、本発明の他の実施の形態である半導体集積回路装置の配線層を示す概略レイアウト図である。

【0056】図6に示すように、本実施の形態の半導体集積回路装置の配線層は、2層目の配線層10、3層目の配線層11および4層目の配線層12とそれらの下層の配線層との間に設けられている接続孔16、接続孔17および接続孔18に埋め込まれている接続孔用配線層は、例えばプラグなどの接続孔埋め込み技術を使用して形成された柱形状のピラー(pillar)であることを特徴としている。

【0057】接続孔用配線層として柱形状のピラーを使用することにより、高アスペクト比の接続孔であり接続孔の深さが大きい場合であってもその接続孔に接続孔用配線層を確実に埋め込むことができるので、高性能でしかも高信頼度の配線層とすることができる。

【0058】本実施の形態の半導体集積回路装置の配線層におけるチャンネルおよび格子点は、前述した実施の形態1の半導体集積回路装置の配線層におけるチャンネルおよび格子点と同様であり、図1に示すとおりである。

【0059】図1および図6を用いて、本実施の形態の半導体集積回路装置の配線層を詳細に説明する。

【0060】本実施の形態の半導体集積回路装置の配線層の製造技術は、CADを用いた自動配線法によるレイアウト法を使用している。

【0061】図1に示す第3格子点7は、第2配線層用チャンネル2と第4配線層用チャンネル4との交差点でもある。この第3格子点7には、図6に示す2層目の配線層10と4層目の配線層12とを電気接続する接続孔16が配置されており、その接続孔16に接続孔用配線層が埋め込まれている。

【0062】図1に示す第4格子点8は、第1配線層用チャンネル1と第3配線層用チャンネル3との交差点でもある。この第4格子点8には、図6に示す1層目の配線層9と3層目の配線層11とを電気接続する接続孔17が配置されており、その接続孔17に接続孔用配線層が埋め込まれている。

【0063】この場合、接続孔17の配置場所は、2層目の配線層10が隣接しないように2層目の配線層10が部分的に離隔されており、2層目の配線層10に信号電流が流れていても電氣的に影響がない領域とされている。

【0064】また、図1に示す第4格子点8には、図6に示す1層目の配線層9と4層目の配線層12とを電気接続する接続孔18が配置されており、その接続孔18に接続孔用配線層が埋め込まれている。

【0065】この場合、接続孔18の配置場所は、2層目の配線層10が隣接しないように2層目の配線層10が部分的に離隔されており、2層目の配線層10に信号電流が流れていても電氣的に影響がない領域とされている。

【0066】また、接続孔18の配置場所は、3層目の配線層11が隣接しないように3層目の配線層11が部分的に離隔されており、3層目の配線層11に信号電流が流れていても電氣的に影響がない領域とされている。

【0067】また、隣接する下層配線層と上層配線層とを電気接続するための接続孔の配置は、前述した実施の形態1の半導体集積回路装置の配線層における接続孔の配置と同様であることにより、説明を省略する。

【0068】前述した本実施の形態の半導体集積回路装置の配線層によれば、2層目の配線層10と4層目の配線層12とが接続孔16に埋め込まれている接続孔用配線層により電気接続できるように、深い接続孔を有する場合においても接続孔用配線層として柱形状のピラーを用いることにより、下層配線層と上層配線層とを電気接続することができる。

【0069】したがって、下層配線層と上層配線層とを電気接続する場合において、それらを電気接続するための特有な配線層を不要とすることができることにより、多層配線層のレイアウト面積を縮小することができる。

【0070】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0071】例えば、半導体素子を形成する半導体基板の替わりにSOI(Silicon on Insulator)基板などの種々の基体を使用することができ、プロセスLSIなどの半導体集積回路装置およびその製造技術とすることができる。

【0072】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0073】(1) 本発明の半導体集積回路装置の配線層において、第3配線層用チャンネルおよび第4配線層用チャンネルのように、第1配線層用チャンネルおよび第2

配線層用チャネルに対して約45度の傾斜角度で傾斜している斜め配線層を有する多層配線層を所定の規定に従って配置することができるので、CADを用いた自動配線法によるレイアウト法を使用することができる。

【0074】その結果、自動化された配線レイアウト法を使用できることにより、高効率でしかも高信頼度の配線レイアウトを容易に行うことができる。

【0075】(2)．本発明の半導体集積回路装置の配線層において、第3配線層用チャネルおよび第4配線層用チャネルのように、第1配線層用チャネルおよび第2配線層用チャネルに対して傾斜している斜め配線層を有する多層配線層を所定の規定に従って配置することができるので、例えばマクロセルとマクロセルとの配線などにおいて、それらの下層配線層と上層配線層とを層間絶縁膜における接続孔を介して電気接続することが簡単化できると共に最短距離をもって各配線層の配置を行うことができることにより、高性能な半導体集積回路装置とすることができる。

【0076】(3)．本発明の半導体集積回路装置の配線層によれば、2層目の配線層と4層目の配線層とが接続孔に埋め込まれている接続孔用配線層により電気接続できるように、深い接続孔を有する場合においても接続孔用配線層として柱形状のピラーを用いることにより、下層配線層と上層配線層とを電気接続することができる。

【0077】したがって、下層配線層と上層配線層とを電気接続する場合において、それらを電気接続するための特有な配線層を不要とすることができることにより、多層配線層のレイアウト面積を縮小することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の配線層を示す模式図である。

【図2】本発明の一実施の形態である半導体集積回路装置の配線層を示す概略レイアウト図である。

【図3】本発明の一実施の形態である半導体集積回路装置の配線層を示す概略レイアウト図である。

【図4】本発明の一実施の形態である半導体集積回路装置の配線層を示す概略レイアウト図である。

【図5】本発明の一実施の形態である半導体集積回路装置の配線層を示す概略レイアウト図である。

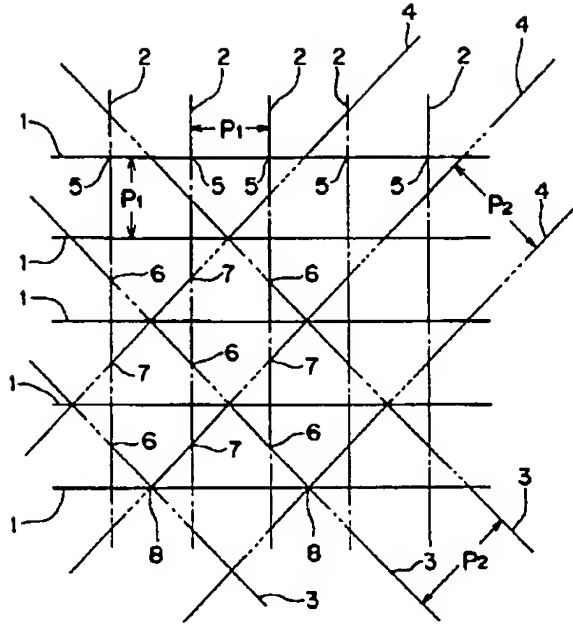
【図6】本発明の他の実施の形態である半導体集積回路装置の配線層を示す概略レイアウト図である。

【符号の説明】

- 1 第1配線層用チャネル
- 2 第2配線層用チャネル
- 3 第3配線層用チャネル
- 4 第4配線層用チャネル
- 5 第1格子点
- 6 第2格子点
- 7 第3格子点
- 8 第4格子点
- 9 配線層
- 10 配線層
- 11 配線層
- 12 配線層
- 13 第1接続孔
- 14 第2接続孔
- 15 第3接続孔
- 16 接続孔
- 17 接続孔
- 18 接続孔
- a1 配線幅
- a2 配線幅
- a3 配線幅
- a4 配線幅
- b1 スペース幅
- b2 スペース幅
- b3 スペース幅
- b4 スペース幅
- P1 配線ピッチ
- P2 配線ピッチ

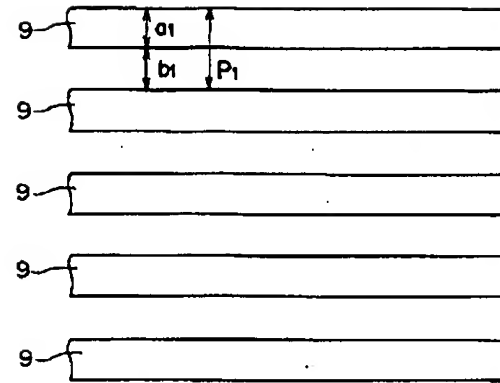
【図1】

図 1



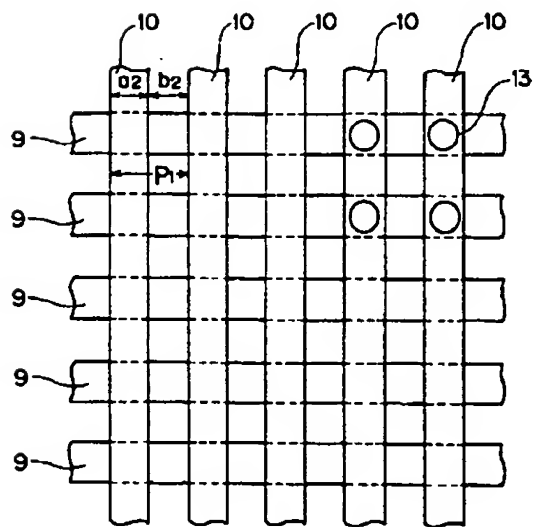
【図2】

図 2



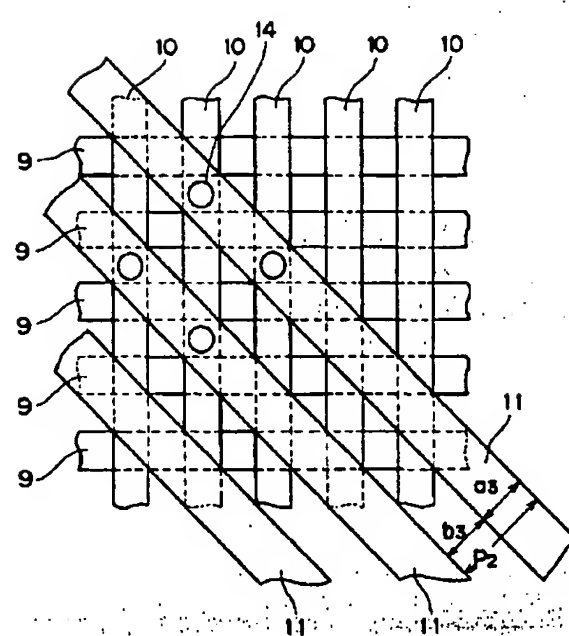
【図3】

図 3



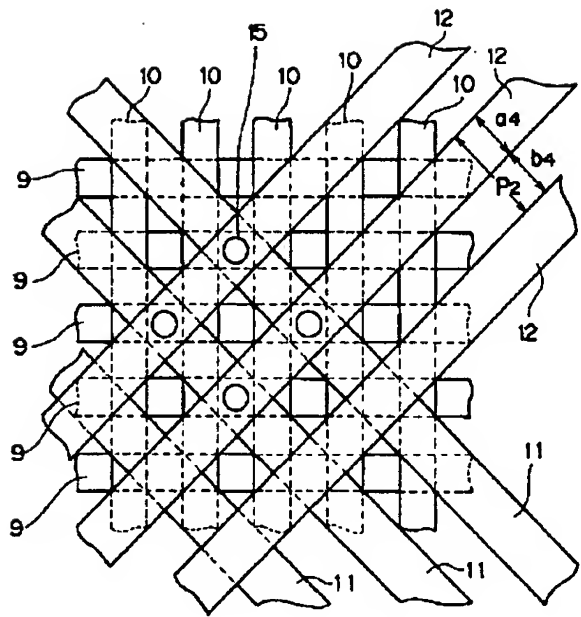
【図4】

図 4



【図5】

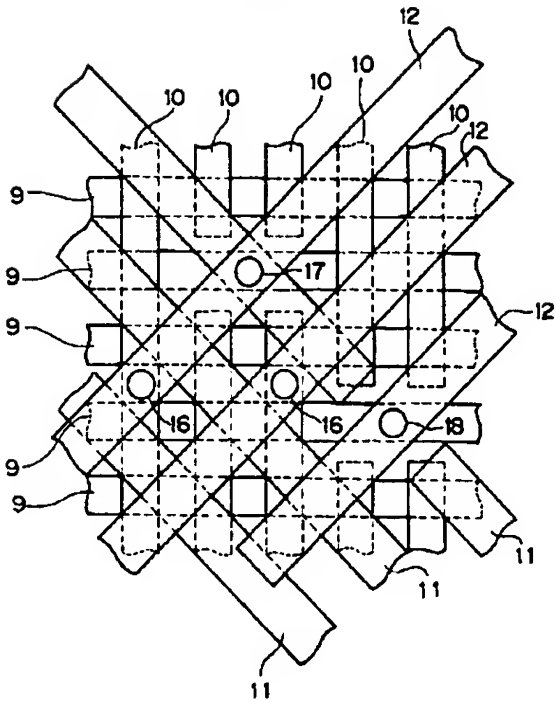
図 5



9: 配線層 11: 配線層
10: 配線層 12: 配線層

【図6】

図 6



(19) JAPANESE PATENT OFFICE (JP)

(12) Publication of Unexamined Patent Application (KOKAI) (A)

(11) Japanese Patent Application Kokai Number: **H9-162279**

(43) Kokai Publication Date: June, 20 1997

(51) Int. Cl. ⁶	ID Symbol	JPO Internal File No.	F1	Technical Indication
H 01 L 21/768			H 01 L 21/90	W

Request for Examination: Not requested	Number of Claims: 9	OL	(8 pages total)
--	---------------------	----	-----------------

(21) Application Number: H7-321467	(71) Applicant: 000005108 Hitachi, Ltd. 6 Kanda-Surugadai 4-chome, Chiyoda-ku, Tokyo
(22) Filing Date: December 11, 1995	(72) Inventor: Masaaki Yoshida c/o Hitachi, Ltd., Device Development Center 2326 Imai, Oume-shi, Tokyo
	(74) Agent: Hirokazu [?] Tsutsui, Patent Attorney

(54) [Title of the Invention] Semiconductor Integrated Circuit Apparatus and Its Fabrication Method

(57) [Abstract]

[Problem] To provide a semiconductor integrated circuit apparatus and its fabrication technology that is high performance and easy to fabricate.

[Means of Solution] [A semiconductor integrated circuit apparatus] has wiring layers of a first layer 9 orthogonal to wiring layers of a second layer 10 and wiring layers of a third layer 11 orthogonal to wiring layers of a fourth layer 12. The line pitch of wiring layers of the first layer 9 is equal to the line pitch of wiring layers of the second layer 10; the line pitch of wiring layers of the third layer 11 is equal to the line pitch of wiring layers of the fourth layer 12; and the line pitch of wiring layers of the third layer 11 and wiring layers of the fourth layer 12 is $2^{1/2}$ times the line pitch of wiring layers of the first layer 9 and wiring layers of the second layer 10.

[Claims]

[Claim 1] A semiconductor integrated circuit apparatus characterized by, in the wiring layers of a semiconductor integrated circuit apparatus, the wiring layers of a first layer being orthogonal to the wiring layers of a second layer, the wiring layers of a third layer being orthogonal to the wiring layers of a fourth layer, and the aforementioned wiring layers of the third layer being disposed with an angle of inclination of about 45° relative to the aforementioned wiring layers of the second layer.

[Claim 2] In the semiconductor integrated circuit apparatus of Claim 1, a semiconductor integrated circuit apparatus characterized by the line pitch of the wiring layers of the first layer being equal to the line pitch of the wiring layers of the second layer; the line pitch of the wiring layers of the third layer being equal to the line pitch of the wiring layers of the fourth layer; and the line pitch of the aforementioned wiring layers of the third layer and aforementioned wiring layers of the fourth layer being $2^{1/2}$ times the line pitch of the aforementioned wiring layers of the first layer and aforementioned wiring layers of the second layer.

[Claim 3] In the semiconductor integrated circuit apparatus of Claim 1 or Claim 2, a semiconductor integrated circuit apparatus characterized by the central lines of the plurality of wiring layers of the third layer and the plurality of wiring layers of the fourth layer passing through the central points of the intersections adjacent to the intersections of the central lines of the plurality of wiring layers of the first layer and the central lines of the plurality of wiring layers of the second layer.

[Claim 4] In the semiconductor integrated circuit apparatus of any one of Claims 1 through 3, a semiconductor integrated circuit apparatus characterized by the wiring layers for through-holes provided between the aforementioned wiring layers of the second layer, the aforementioned wiring layers of the third layer and the aforementioned wiring layers of the fourth layer and the wiring layers beneath them being [in the form of] pillars*.

[Claim 5] A fabrication method for a semiconductor integrated circuit apparatus that has a process of forming the wiring layers of a first layer on a substrate on which a plurality of semiconductor elements are formed,
a process of disposing and forming the wiring layers of a second layer so that they are orthogonal to the aforementioned wiring layers of the first layer which is separated by an interlayer insulating film on the aforementioned wiring layers of the first layer,
a process of disposing and forming the wiring layers of a third layer so that they are at an angle of inclination of 45° relative to the aforementioned wiring layers of the second layer which is separated by an interlayer insulating film on the aforementioned wiring layers of the second layer, and
a process of disposing and forming the wiring layers of a fourth layer so that they are orthogonal

* Translator's note: the Japanese original actually reads "pillar-shaped pillars."

to the aforementioned wiring layers of the third layer which is separated by an interlayer insulating film on the aforementioned wiring layers of the third layer.

[Claim 6] In the fabrication method of the semiconductor integrated circuit apparatus of Claim 5, a method of fabricating a semiconductor integrated circuit apparatus characterized by the line pitch of the wiring layers of the first layer being equal to the line pitch of the wiring layers of the second layer; the line pitch of the wiring layers of the third layer being equal to the line pitch of the wiring layers of the fourth layer; and the line pitch of the aforementioned wiring layers of the third layer and aforementioned wiring layers of the fourth layer being $2^{1/2}$ times the line pitch of the aforementioned wiring layers of the first layer and aforementioned wiring layers of the second layer.

[Claim 7] In the fabrication method of the semiconductor integrated circuit apparatus of Claim 5 or Claim 6, a method of fabricating a semiconductor integrated circuit apparatus characterized by the central lines of the plurality of wiring layers of the third layer and the plurality of wiring layers of the fourth layer passing through the central points of the intersections adjacent to the intersections of the central lines of the plurality of wiring layers of the first layer and the central lines of the plurality of wiring layers of the second layer.

[Claim 8] In the fabrication method of the semiconductor integrated circuit apparatus of any one of Claims 5 through 7, a method of fabricating a semiconductor integrated circuit apparatus characterized by the aforementioned wiring layers of the third layer or the aforementioned wiring layers of the fourth layer being laid out partially relative to the aforementioned wiring layers of the first layer or aforementioned wiring layers of the second layer.

[Claim 9] In the fabrication method of the semiconductor integrated circuit apparatus of any one of Claims 5 through 8, a method of fabricating a semiconductor integrated circuit apparatus characterized by an automatic wiring method being used in the layout of wiring layers from the aforementioned first layer to the aforementioned fourth layer.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention pertains to a semiconductor integrated circuit apparatus and its fabrication technology.

[0002]

[Prior Art] Greater levels of integration and finer levels of processing are being developed for semiconductor integrated circuit apparatus, requiring wiring structures that are finer and have higher density.

[0003] In this connection, the present inventors have investigated fabrication technology for semiconductor integrated circuit apparatus. Below, the technology investigated by the inventors is described in brief.

[0004] Specifically, multi-layer wiring structures are used for the wiring layers of a semiconductor integrated circuit apparatus. Through-holes are placed in selective areas of interlayer insulating films to electrically connect lower wiring layers to upper wiring layers.

[0005] In such cases, lower and upper wiring layers are placed orthogonally to each other by, for example, wiring macro cells to other macro cells, through automatic wiring methods that use Computer-Aided Design (CAD).

[0006] An example in the literature of a description of technology for forming wiring layers in semiconductor integrated circuit apparatus is given in "Leading Semiconductor Process Technologies '90," pp. 267-273, published by Press Journal K.K., on November 2, 1989.

[0007]

[Problem that the Invention Is to Solve] As it happens, in a multi-layer wiring structure in which the lower wiring layer and upper wiring layer are orthogonal as described above, problems occur in that it becomes complex to electrically connect these upper and lower wiring layers through through-holes in the interlayer insulating films when multiple wiring layers, for example, four layers, are stacked; moreover, fabricating the multi-layer wiring layer with high performance also becomes difficult.

[0008] The object of the present invention is to provide a high-performance semiconductor integrated circuit apparatus that has multi-layer wiring layers and that can be easily fabricated, as well as its fabrication technology.

[0009] This specification and the attached drawings make clear the aforementioned and other objects of the present invention as well as the new features of the present invention.

[0010]

[Means of Solving the Problem] The following is a simple explanation in brief of representative examples of the invention disclosed in the present application.

[0011] Specifically, the semiconductor integrated circuit apparatus of the present invention has wiring layers of the first layer and wiring layers of the second layer that are orthogonal to each other as well as wiring layers of the third layer and wiring layers of the fourth layer that are orthogonal to each other. The line pitch of the wiring layers of the first layer is equal to the line pitch of the wiring layers of the second layer; the line pitch of the wiring layers of the third layer is equal to the line pitch of the wiring layers of the fourth layer; and the line pitch of the wiring

layers of the third layer and wiring layers of the fourth layer is $2^{1/2}$ times the line pitch of the wiring layers of the first layer and wiring layers of the second layer.

[0012]

[Working Configuration of the Invention] Working Configurations of the present invention are described below with reference to figures. The same number or letter refers to elements in different figures that have the same function, and redundant explanations are omitted.

[0013] (Working Configuration 1) Figure 1 is a model diagram showing the wiring layers of a semiconductor integrated circuit apparatus which constitute a working configuration of the present invention.

[0014] Figure 1 shows the wiring layer channels and lattice points occurring when laying out the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration using Design Automation (DA). In such cases, the channels show the areas in which it is possible to place a wiring layer and use a wiring layer line width of 0. The lattice points indicate intersections of channels.

[0015] As Figure 1 shows, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration, channels 1 for the first wiring layers, which correspond to the wiring layers of the first layer placed on a semiconductor substrate (not shown in the figure) on which a plurality of semiconductor elements are formed, are laid out horizontally so that the distance to the adjacent wiring layer is a constant line pitch P_1 .

[0016] Also, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration, channels 2 for the second wiring layers, which correspond to the wiring layers of the second layer placed over the wiring layers of the first layer which is separated by an interlayer insulating film (not shown in the figure), are laid out vertically so that they are orthogonal to channels 1 for the first wiring layers and so that the distance to the adjacent wiring layer is a constant line pitch P_1 .

[0017] In this case, the lattice points, which are points of intersection between channels 1 for the first wiring layers and channels 2 for the second wiring layers, are shown as first lattice points 5.

[0018] Also, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration, second lattice points 6 and third lattice points 7 are placed at the midpoints between adjacent first lattice points 5, on channels 2 for the second wiring layers.

[0019] In this case, second lattice points 6 and third lattice points 7 are placed in alternation so that they form zig zags.

[0020] Also, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration, channels 3 for the third wiring layers, which correspond to the wiring

layers of the third layer placed over the wiring layers of the second layer which is separated by an interlayer insulating film (not shown in the figure), are laid out so that the distance to the adjacent wiring layer is a constant line pitch P_2 . Also, channels 3 for the third wiring layer are placed at angles of inclination of 45° relative to channels 2 for the second wiring layers, and also placed so that they pass through second lattice points 6.

[0021] In this case, the relationship between line pitch P_2 of channels 3 for the third wiring layers and line pitch P_1 of channels 1 for the first wiring layers and channels 2 for the second wiring layers is $P_2 = 2^{1/2} \times P_1$.

[0022] Also, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration, fourth lattice points 8 are placed at the midpoints between adjacent first lattice points 5 in channels 1 for the first wiring layers.

[0023] Also, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration, channels 4 for the fourth wiring layers, which correspond to the wiring layers of the fourth layer placed over the wiring layers of the third layer which is separated by an interlayer insulating film (not shown in the figure), are laid out so that the distance to the adjacent wiring layer is a constant line pitch P_2 . Also, channels 4 for the fourth wiring layers are placed at angles of inclination of 45° relative to channels 3 for the third wiring layers, and also placed so that they pass through fourth lattice points 8.

[0024] In this case, the relationship between line pitch P_2 of channels 4 for the fourth wiring layers and line pitch P_1 of channels 1 for the first wiring layers and channels 2 for the second wiring layers is $P_2 = 2^{1/2} \times P_1$.

[0025] In the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration described above, channels 2 for the second wiring layers are orthogonal to channels 1 for the first wiring layers.

[0026] Also, channels 3 for the third wiring layers are placed at 45° angles of inclination relative to channels 1 for the first wiring layers and channels 2 for the second wiring layers.

[0027] Also, channels 4 for the fourth wiring layers are orthogonal to channels 3 for the third wiring layers and are also placed at 45° angles of inclination to channels 1 for the first wiring layers and channels 2 for the second wiring layers.

[0028] Also, channels 1 for the first wiring layers and channels 2 for the second wiring layers have the same line pitch P_1 .

[0029] Also, channels 3 for the third wiring layers and channels 4 for the fourth wiring layers have the same line pitch P_2 .

[0030] The relationship between the line pitch P_2 of channels 3 for the third wiring layers and channels 4 for the fourth wiring layers and line pitch P_1 of channels 1 for the first wiring layers and channels 2 for the second wiring layers is $P_2 = 2^{1/2} \times P_1$.

[0031] Thus, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration described above, channels 1 for the first wiring layers can be electrically connected to channels 2 for the second wiring layers by means of through-holes in the interlayer insulating film by passing the through-holes through first lattice points 5, which are the intersections of channels 1 for the first wiring layers and channels 2 for the second wiring layers.

[0032] Also, channels 2 for the second wiring layers can be electrically connected to channels 3 for the third wiring layers by means of through-holes in the interlayer insulating film by passing the through-holes through second lattice points 6, which are the intersections of channels 2 for the second wiring layers and channels 3 for the third wiring layers.

[0033] Also, channels 3 for the third wiring layers can be electrically connected to channels 4 for the fourth wiring layers by means of through-holes in the interlayer insulating film by passing the through-holes through fourth lattice points 8, which are the intersections of channels 3 for the third wiring layers and channels 4 for the fourth wiring layers.

[0034] Thus, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration described above, a multi-layer wiring layer that has wiring layers at an inclination to channels 1 for the first wiring layers and channels 2 for the second wiring layers, such as channels 3 for the third wiring layers and channels 4 for the fourth wiring layers, can be laid out according to predetermined rules, so that a layout method that uses automatic wiring techniques using CAD can be employed.

[0035] This enables easy wiring layout that is highly efficient and highly reliable through the use of automated wiring layout methods.

[0036] Also, in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration previously described, since a multi-layer wiring layer that has wiring layers at an inclination to channels 1 for the first wiring layers and channels 2 for the second wiring layers, such as channels 3 for the third wiring layers and channels 4 for the fourth wiring layers, can be laid out according to predetermined rules, a high-performance semiconductor integrated circuit apparatus can be achieved by being able to simplify the electrical connection, for example, in wiring between macro cells and macro cells, between their lower wiring layers and their upper wiring layers using through-holes in interlayer insulating films, and also by being able to lay out each of the wiring layers using the shortest distances.

[0037] Next, the fabrication method for the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration is described.

[0038] Figures 2 through 5 are schematic layout drawings that show wiring layers of the semiconductor integrated circuit apparatus of the present working configuration.

[0039] The fabrication technology for the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration uses a layout method that employs automated wiring techniques using CAD.

[0040] First, as shown in Figure 2, wiring layers of the first layer 9 are formed on a semiconductor substrate (not shown in the figure) on which a plurality of semiconductor elements are formed.

[0041] In this case, wiring layers 9 are formed horizontally so that they maintain a constant line pitch P_1 to the adjacent wiring layer 9. Line pitch P_1 is the distance obtained by adding the line width a_1 of a given wiring layer 9 to the space width b_1 between it and its adjacent wiring layer 9.

[0042] Next, as shown in Figure 3, wiring layers of the second layer 10 are formed over wiring layers of the first layer 9 which is separated by an interlayer insulating film (not shown in the figure) such that they maintain a constant line pitch P_1 as the distance between each layer and its adjacent wiring layer 10, while also being formed vertically so that they are orthogonal to wiring layers of the first layer 9.

[0043] In this case, line pitch P_1 is the distance obtained by adding line width a_2 of wiring layer 10 to the space width b_2 between it and its adjacent wiring layer 10.

[0044] Also, first through-holes 13 are formed at the intersections between wiring layers of the first layer 9 and wiring layers of the second layer 10 as necessary.

[0045] Next, as shown in Figure 4, wiring layers of the third layer 11 are formed over wiring layers of the second layer 10 which is separated by an interlayer insulating film (not shown in the figure) such that they maintain a constant line pitch P_2 to their adjacent wiring layers 11.

[0046] Also, wiring layers of the third layer 11 are formed at angles of inclination of 45° relative to wiring layers of the second layer 10, so that they pass through the previously described second lattice points 6.

[0047] In this case, line pitch P_2 is obtained by adding the line width a_3 of a given wiring layer 11 to the space width b_3 between it and its adjacent wiring layer 11.

[0048] Also, second through-holes 14 are formed at the intersections between wiring layers of the second layer 10 and wiring layers of the third layer 11 as necessary.

[0049] Next, as shown in Figure 5, wiring layers of the fourth layer 12 are formed on wiring layers of the third layer 11 which is separated by an interlayer insulating film (not shown in the figure) such that they maintain a constant line pitch P_2 to their adjacent wiring layers 12 while also being orthogonal to wiring layers of the third layer 11.

[0050] In this case, line pitch P_2 is obtained by adding the line width a_4 of a given wiring layer 12 to the space width b_4 between it and its adjacent wiring layer 12.

[0051] Also, third through-holes 15 are formed at the intersections between wiring layers of the third layer 11 and wiring layers of the fourth layer 12 as necessary.

[0052] Next, fabrication of the semiconductor integrated circuit apparatus is completed by forming a passivation film (not shown in the figure) after the multi-layer wiring layer is formed through repeatedly performing the wiring layer fabrication processes previously described as necessary.

[0053] In the fabrication technology for wiring layers of the semiconductor integrated circuit apparatus of the present working configuration described above, a multi-layer wiring layer that has wiring layers at an inclination to wiring layers of the first layer 9 and wiring layers of the second layer 10, such as wiring layers of the third layer 11 and wiring layers of the fourth layer 12, can be laid out according to predetermined rules using layout methods that employ automatic wiring techniques using CAD. As a result, wiring layout that is highly efficient and highly reliable can be accomplished easily using automated wiring layout methods.

[0054] Also, with the fabrication technology for wiring layers of the semiconductor integrated circuit apparatus of the present working configuration previously described, a multi-layer wiring layer that has wiring layers at an inclination to wiring layers of the first layer 9 and wiring layers of the second layer 10, such as wiring layers of the third layer 11 and wiring layers of the fourth layer 12 can be laid out according to predetermined rules using layout methods that employ automatic wiring techniques that use CAD. As a result, a high-performance semiconductor integrated circuit apparatus can be fabricated by being able to simplify electrical connection between the lower wiring layers and the upper wiring layers using through-holes in interlayer insulating films and also by being able to lay out each of the wiring layers using the shortest distances.

[0055] (Working Configuration 2) Figure 6 is a schematic layout drawing that shows wiring layers of a semiconductor integrated circuit apparatus which constitute another working configuration of the present invention.

[0056] As shown in Figure 6, the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration are characterized by the fact that the wiring layers for through-holes, which are embedded in through-holes 16, through-holes 17 and through-holes 18 that are placed between wiring layers of the second layer 10, wiring layers of the third layer 11, wiring layers of the fourth layer 12, and the wiring layers beneath them, are [in the form of] pillars formed using through-hole filling technology (e.g., plugs).

[0057] By using pillars as the wiring layers for the through-holes, the wiring layers for the through-holes can be reliably embedded in the through-holes even when the through-holes have

high aspect ratios and through-hole depths are great. This makes possible high-performance, highly reliable wiring layers.

[0058] Channels and lattice points in the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration are similar to the channels and lattice points in the wiring layers of the previously described semiconductor integrated circuit apparatus of Working Configuration 1, and are shown in Figure 1.

[0059] [Next,] the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration are described in detail with reference to Figures 1 and 6.

[0060] The fabrication technology for the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration uses layout methods that employ automatic wiring methods using CAD.

[0061] Third lattice points 7 shown in Figure 1 are the intersections of channels 2 for the second wiring layers and channels 4 for the fourth wiring layers as well [sic]. Through-holes 16 that electrically connect wiring layers of the second layer 10 and wiring layers of the fourth layer 12 shown in Figure 6 are placed at these third lattice points 7. The wiring layer for the through-holes is embedded in these through-holes 16.

[0062] Fourth lattice points 8 shown in Figure 1 are the intersections of channels 1 for the first wiring layers and channels 3 for the third wiring layers as well. Through-holes 17 that electrically connect wiring layers of the first layer 9 and wiring layers of the third layer 11 shown in Figure 6 are placed at these fourth lattice points 8. The wiring layer for the through-holes is embedded in these through-holes 17.

[0063] In this case, the locations where through-holes 17 are placed are partially isolated from wiring layers of the second layer 10 so that they are not adjacent to wiring layers of the second layer 10. Therefore, even when signal current flows to wiring layers of the second layer 10, they are in an area that is not electrically affected.

[0064] Also, through-holes 18 that electrically connect wiring layers of the first layer 9 and wiring layers of the fourth layer 12 as shown in Figure 6 are placed at fourth lattice points 8 shown in Figure 1. The wiring layer for the through-holes is embedded in these through-holes 18.

[0065] In this case, the locations where through-holes 18 are placed are partially isolated from wiring layers of the second layer 10 so that they are not adjacent to wiring layers of the second layer 10. Therefore, even when signal current flows to wiring layers of the second layer 10, they are in an area that is not electrically affected.

[0066] Also, the locations where through-holes 18 are placed are partially isolated from wiring layers of the third layer 11 so that they are not adjacent to wiring layers of the third layer 11.

Therefore, even when signal current flows to wiring layers of the third layer 11, they are in an area that is not electrically affected.

[0067] Since the placement of through-holes for electrically connecting adjacent lower wiring layers and upper wiring layers is similar to the placement of through-holes in the wiring layers of the semiconductor integrated circuit apparatus of Working Configuration 1 previously described, that description is omitted here.

[0068] Using the wiring layers of the semiconductor integrated circuit apparatus of the present working configuration previously described, lower wiring layers and upper wiring layers can be electrically connected by using pillars as the through-hole wiring layers even when there are deep through-holes as when wiring layers of the second layer 10 and wiring layers of the fourth layer 12 are electrically connected by a through-hole wiring layer embedded in through-holes 16.

[0069] Thus, when lower wiring layers and upper wiring layers are electrically connected, the need for a wiring layer specifically for the electrical connection of these layers can be eliminated, which enables a reduction in the layout surface area for multi-layer wiring layers.

[0070] The invention invented by the present inventors has been described above in detail based on the working configurations of the invention, but the present invention is not limited to the aforementioned working configurations. Many other changes are naturally possible as long as they do not depart from the substance of the invention.

[0071] For example, a variety of substrates can be used, such as SOI (silicon on insulator) substrates, in place of a semiconductor substrate on which the semiconductor elements are formed, and it can be used as the semiconductor integrated circuit apparatus and fabrication technology for processor LSIs or the like.

[0072]

[Effect of the Invention] The following is a brief description of effects obtained by a representative example of the invention disclosed in this application.

[0073] (1) Since a multi-layer wiring layer that has wiring layers at approximately 45° angles of inclination relative to channels for first wiring layers and channels for second wiring layers can be placed according to predetermined rules, such as channels for third wiring layers and channels for fourth wiring layers, in the wiring layers of the semiconductor integrated circuit apparatus of the present invention, layout methods that use automated wiring techniques that employ CAD can be used.

[0074] As a result, highly efficient and highly reliable wiring layout can be performed by using automated layout methods.

[0075] (2) Since a multi-layer wiring layer that has wiring layers that are inclined relative to channels for first wiring layers and channels for second wiring layers can be placed according to predetermined rules, such as channels for third wiring layers and channels for fourth wiring layers, in the wiring layers of the semiconductor integrated circuit apparatus of the present invention, a high-performance semiconductor integrated circuit apparatus can be achieved by being able to simplify electrical connection, for example, in wiring between macro cells and macro cells, between their lower wiring layers and their upper wiring layers using through-holes in interlayer insulating films and also by being able to lay out each of the wiring layers using the shortest distances.

[0076] (3) Using the wiring layers of the semiconductor integrated circuit apparatus of the present invention, lower wiring layers and upper wiring layers can be electrically connected by using pillars as the through-hole wiring layers even when there are deep through-holes as when wiring layers of the second layer and wiring layers of the fourth layer are electrically connected by a through-hole wiring layer embedded in through-holes.

[0077] Thus, when lower wiring layers and upper wiring layers are electrically connected, the need for a wiring layer specifically for the electrical connection of these layers can be eliminated, which enables a reduction in the layout surface area for multi-layer wiring layers.

[Brief Description of the Figures]

[Figure 1] Figure 1 is a model diagram that shows wiring layers of a semiconductor integrated circuit apparatus constituting one working configuration of the present invention.

[Figure 2] Figure 2 is a schematic layout drawing that shows wiring layers of the semiconductor integrated circuit apparatus constituting one working configuration of the present invention.

[Figure 3] Figure 3 is a schematic layout drawing that shows wiring layers of a semiconductor integrated circuit apparatus constituting one working configuration of the present invention.

[Figure 4] Figure 4 is a schematic layout drawing that shows wiring layers of a semiconductor integrated circuit apparatus constituting one working configuration of the present invention.

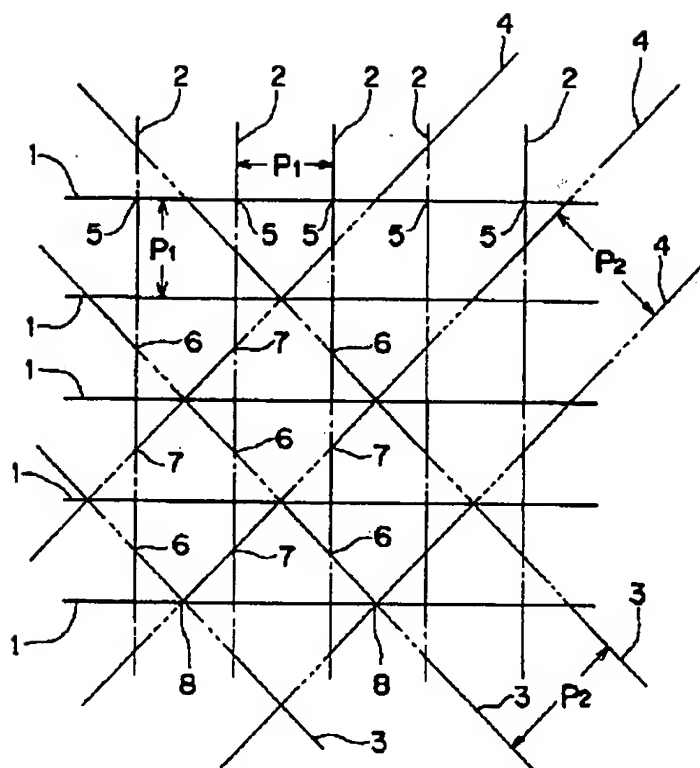
[Figure 5] Figure 5 is a schematic layout drawing that shows wiring layers of a semiconductor integrated circuit apparatus constituting one working configuration of the present invention.

[Figure 6] Figure 6 is a schematic layout drawing that shows wiring layers of a semiconductor integrated circuit apparatus constituting another working configuration of the present invention.

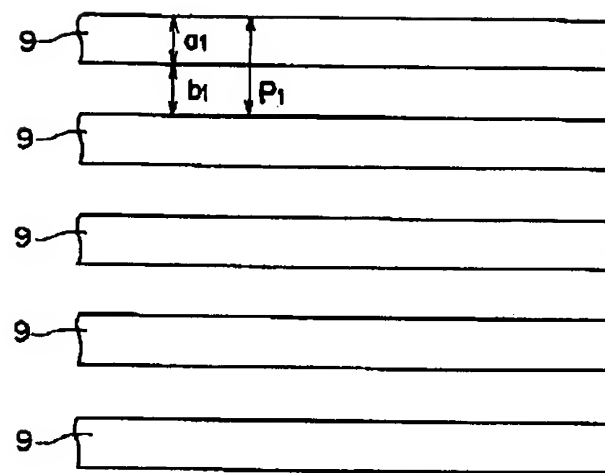
[Explanation of Symbols]

- 1 Channels for first wiring layer
- 2 Channels for second wiring layer
- 3 Channels for third wiring layer

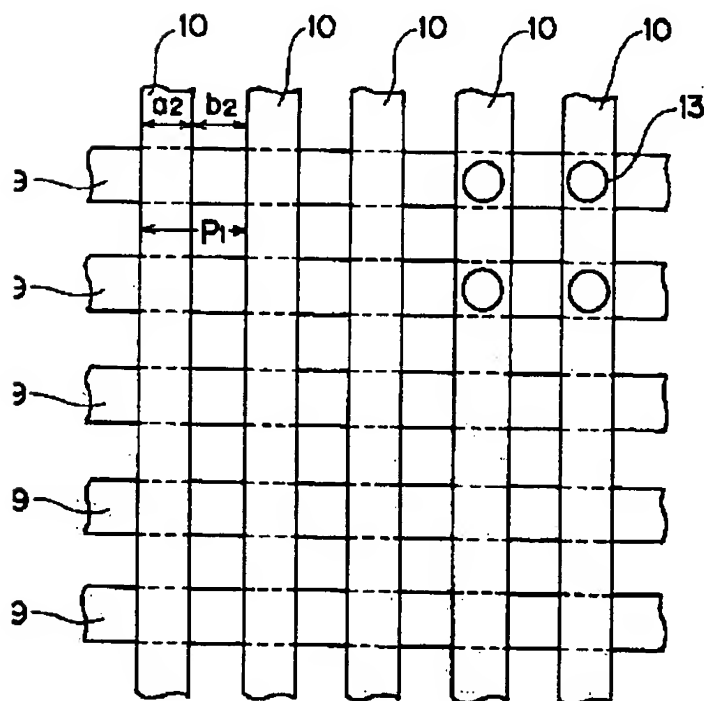
4	Channels for fourth wiring layer
5	First lattice point
6	Second lattice point
7	Third lattice point
8	Fourth lattice point
9	Wiring layer
10	Wiring layer
11	Wiring layer
12	Wiring layer
13	First through-hole
14	Second through-hole
15	Third through-hole
16	Through-hole
17	Through-hole
18	Through-hole
a ₁	Line width
a ₂	Line width
a ₃	Line width
a ₄	Line width
b ₁	Space width
b ₂	Space width
b ₃	Space width
b ₄	Space width
P ₁	Line pitch
P ₂	Line pitch



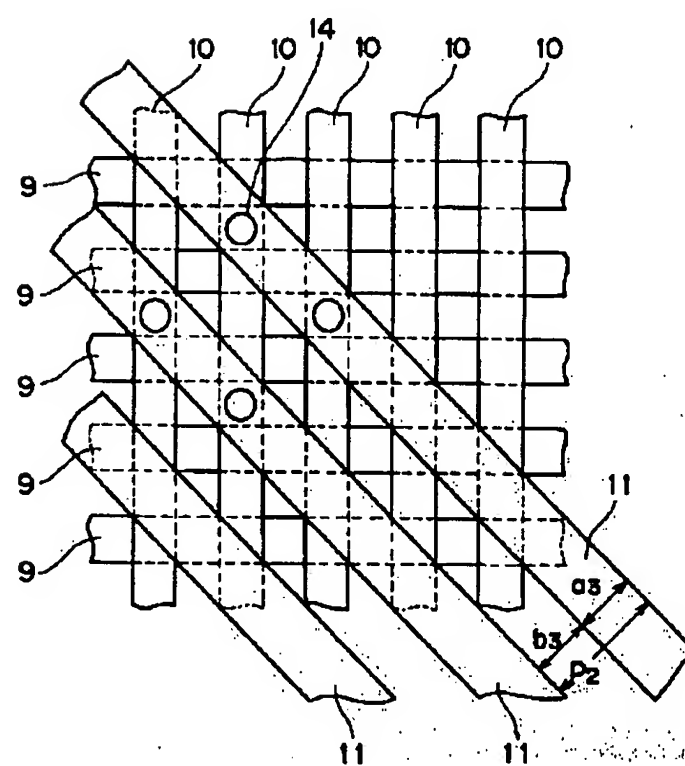
[Figure 1]



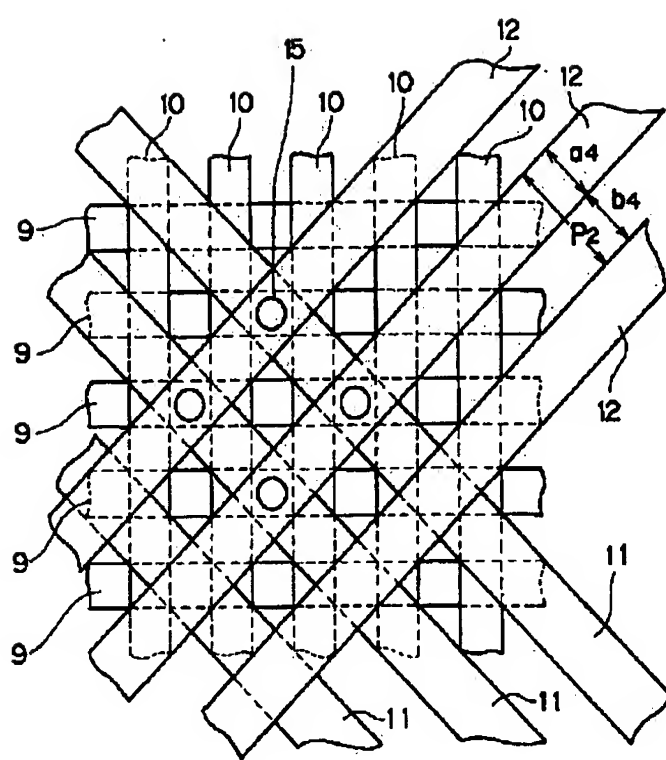
[Figure 2]



[Figure 3]

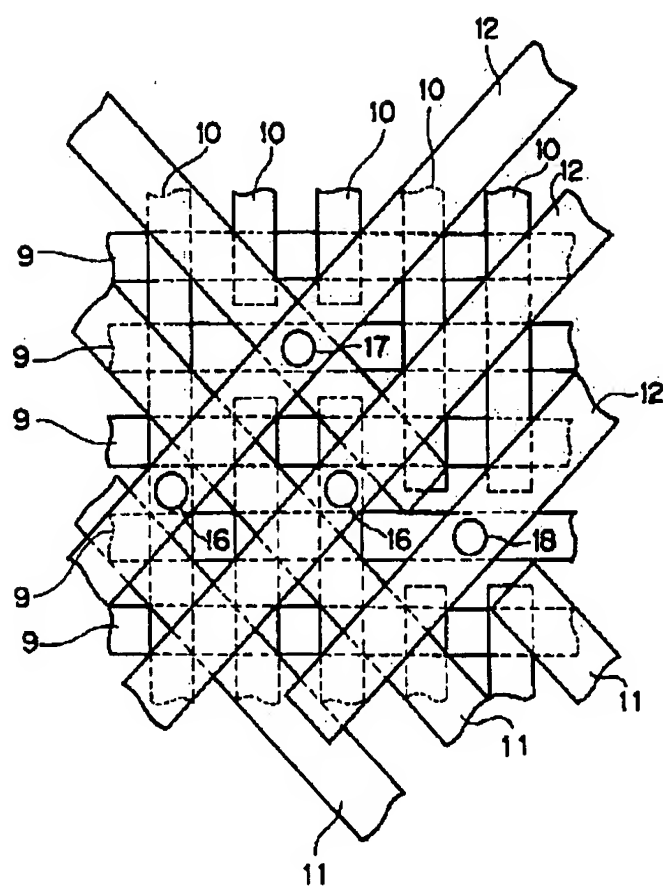


[Figure 4]



[Figure 5]

9: wiring layers, 10: wiring layers
11: wiring layers, 12: wiring layers



[Figure 6]